

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. H01L 21/28	(11) 공개번호 (43) 공개일자	특1998-086518 1998년12월05일
(21) 출원번호	특1998-007096	
(22) 출원일자	1998년03월04일	
(30) 우선권주장	128176 1997년05월19일 일본(JP)	
(71) 출원인	오끼웨이 고오교오 가부시끼가이샤, 사와무라 시코우 일본 일본국 도오교도 미나토구 도라노웅 1조에 7방 12고오	
(72) 발명자	오스미 타카시 일본 일본국 도오교도 미나토구 도라노웅 1조에 7방 12고오 오끼웨이 고오교오 가부시끼가이샤 나이	
(74) 대리인	이화익	
(77) 심사청구	없음	
(54) 출원명	반도체 장치 및 그 제조방법	

## 요약

본 발명의 반도체 장치는, 도전성 패턴을 갖는 반도체 집적회로와, 반도체 집적회로 상에 형성되어 높이가 서로 다른 복수의 기저부를 형성하는 절연층과, 도전성 패턴의 일부를 노출시키기 위해 절연층에 관통 형성된 개구부와, 도전성 패턴의 노출 표면으로부터 가장 높은 기저부의 상단면에 연장되도록, 절연층과 개구부 상에 형성된 도전층을 구비한다. 이때, 상기 절연층, 개구부 및 도전층으로 전극이 구성된다.

## 대표도

도1

명세서

도면의 간단한 설명

도 1a는 본 발명의 제 1 실시예에 따른 반도체 장치의 전극구조를 나타낸 평면도.

도 1b는 도 1a의 A-A'선에 따른 단면도.

도 2a 내지 2d는 도 1a 및 도 1b에 도시된 전극구조를 제조하는 공정을 나타낸 단면도.

도 3a는 제 1 실시예의 전극 구조와 접속기판의 리드 사이의 위치관계를 나타낸 단면도.

도 3b는 제 1 실시예의 전극 구조와 접속기판의 도선 사이의 위치관계를 나타낸 단면도.

도 4a는 본 발명의 제 2 실시예에 따른 반도체 장치의 전극구조를 나타낸 평면도.

도 4b는 도 4a의 A-A'선에 따른 단면도.

도 5a 내지 도 5d는 도 4a 및 도 4b에 도시된 전극구조를 제조하는 공정을 나타낸 단면도.

도 6a는 제 2 실시예의 전극 구조와 접속기판의 리드 사이의 위치관계를 나타낸 단면도.

도 6b는 제 2 실시예의 전극 구조와 접속기판의 도선 사이의 위치관계를 나타낸 단면도.

도 7은 본 발명의 제 3 실시예에 따른 반도체 장치의 전극구조를 나타낸 단면도.

도 8a 및 도 8b는 도 7에 도시된 전극구조를 제조하는 공정을 나타낸 단면도.

도 9a 및 도 9b는 본 발명의 제 4 실시예에 따른 반도체 장치의 전극구조를 제조하는 공정을 나타낸 단면도.

도 10a 및 도 10b는 본 발명의 제 5 실시예에 따른 반도체 장치의 전극구조를 제조하는 공정을 나타낸 단면도.

도 11a 및 도 11b는 본 발명의 제 6 실시예에 따른 반도체 장치의 전극구조를 제조하는 공정을 나타낸 단면도.

도 12는 본 발명의 제 7 실시예에 따른 반도체 장치의 전극구조를 나타낸 단면도.

도 13a 및 도 13b는 도 12에 도시된 전극구조를 제조하는 공정을 나타낸 단면도.

도 14는 본 발명의 제 8 실시예에 따른 반도체 장치의 전극구조를 나타낸 단면도.

도 15a는 제 8 실시예의 전극 구조와 접속기판의 리드 사이의 위치관계를 나타낸 단면도.

도 15b는 제 8 실시예의 전극 구조와 접속기판의 도선 사이의 위치관계를 나타낸 단면도.

도 16은 본 발명의 제 9 실시예에 따른 반도체 장치의 구조를 나타낸 단면도.

#### \* 도면의 주요부분에 대한 부호의 설명

100,1000 : 반도체 기판                      101 : 도전성 패턴  
104a,104b,404a,404b,1004 : 기저부  
104a-a,104b-a,404a-a,404b-a : 기저부 상단면  
105,405,1005 : 도전층                      106,406 : 개구부  
204 : 절연층                                  205 : 도전층  
300 : 접속기판                              504 : 절연층  
604 : 절연층                                  801 : 트리밍 패턴  
901 : 범프전극                              1001 : 밀봉 수지

#### 발명의 상세한 설명

##### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조방법에 관한 것으로, 특히 반도체 집적회로의 전극구조와 그것을 제조하는 방법에 관한 것이다. 또한, 본 발명은 반도체 기판의 실장방법 및 그 구조에 관한 것이다.

종래, 반도체 집적회로를 접속기판에 실장하기 위한 공정으로, 테이프 캐리어(tape carrier) 패키지 구조, 칩 온 보드(chip on board) 구조 및 칩 온 글래스(chip on glass) 구조가 사용되어 왔다. 이들 구조에 있어서는, 반도체 기판과 접속기판 사이의 공간이 밀봉수지를 충전된다. 또한, 상기한 실장구조에 있어서 전극구조로서는, 범프전극을 사용하는 범프접속 구조가 사용되어 왔다. 이러한 범프전극으로는, 금(Au) 범프전극, 납(Pb) 및 주석(Sn)의 합금으로 이루어진 솔더전극과 같은 금속 범프전극이 사용될 수 있다.

##### 발명이 이루고자 하는 기술적 과제

그러나, 상기한 금속범프 전극은 소성변형되기 쉽고, Pb-Sn의 합금은 그것의 결정면으로부터 파괴되기 쉽다. 따라서, 반도체 기판과 접속기판 사이의 열팽창계수의 차에 의해 전극에 있어서 열응력이 발생하기 쉽다. 또한, 이러한 열 응력은 밀봉수지와 범프전극 자체의 열팽창계수의 차이에 기인할 수도 있다. 이러한 열 응력은 전극 내부에 열 피로를 생기기 하므로, 몇몇 경우에는 전극이 파괴될 수도 있다. 또한, 반도체 집적회로는 금속 도금되고, 그후 범프전극을 형성하기 위해 금속판을 에칭한다. 이러한 반도체 기판에 있어서, 트리밍 회로와 같이 보호층으로 피복되지 않은 영역은 도금공정 및 에칭공정에 의해 악영향을 받을 수 있다. 이와 같은 종래의 전극구조는, 반도체 집적회로의 표면이 충분히 보호되지 않아, 전기접속의 신뢰성이 충분히 만족할 수 있는 것이 아니었다.

결국, 본 발명의 목적은, 전극의 전기접속 신뢰성이 높은 반도체 장치 및 그 제조방법을 제공함에 있다.

본 발명의 또 다른 목적은, 전극형성공정 이후에 반도체 집적회로의 표면을 충분히 보호할 수 있는 반도체 장치 및 그 제조방법을 제공함에 있다.

본 발명의 부가적인 목적, 이점 및 신규한 특징부는 이하의 발명내용에서 일부 설명되고, 다음 발명내용으로부터 본 발명이 속한 기술분야의 당업자에게 있어서 자명할 것이며 본 발명을 실시함으로써 명백해질 것이다.

##### 발명의 구성 및 작용

본 발명의 제 1 연에 따르면, 반도체 장치는, 도전성 패턴을 갖는 반도체 집적회로와, 반도체 집적회로 상에 형성되어 높이가 서로 다른 복수의 기저부를 형성하는 절연층과, 도전성 패턴의 일부를 노출시키기 위해 절연층에 관통형성된 개구부와, 도전성 패턴의 노출 표면으로부터 가장 높은 기저부의 상단면에 연장되도록, 절연층과 개구부 상에 형성된 도전층을 구비한다. 이때, 상기 절연층, 개구부 및 도전층으로 전극이 구성된다.

본 발명의 제 2 연에 따르면, 반도체 장치는, 반도체 집적회로와 반도체 집적회로 상에 형성된 절연체로 이루어진 기저부 및 기저부의 표면에 형성된 도전층으로 구성된 전극을 구비한 반도체 기판과, 그 위에 반도체 기판이 페이스 다운 실장된 접속기판과, 반도체 기판과 접속기판 사이의 공간에 충전된 밀봉재를 구비한다. 이때, 상기 기저부와 밀봉재는 동일한 재료로 이루어진다.

본 발명의 제 3 연에 따르면, 반도체 장치를 제조하는 방법에 있어서, 반도체 집적회로 상에 절연층이 형성된다. 다음에, 도전성 패턴의 일부가 노출하도록 상기 절연층을 관통하여 개구부가 형성된다. 도전층을 개구부를 갖는 절연층 위에 형성하고, 상기 도전성 패턴의 노출부로부터 절연층의 소정 부분에 이르는 부분을 제외하고 상기 도전층을 패터닝한 후, 상기 도전층으로 피복되지 않는 절연층 부분이 도전층으로 피복된 절연층 부분보다 높이가 더 낮아지도록 절연층을 성형한다.

본 발명의 제 4 연에 따르면, 반도체 장치를 제조하는 방법에 있어서, 반도체 집적회로와, 반도체 집적회로 상에 형성된 절연체로 이루어진 기저부 및 기저부의 표면에 형성된 도전층으로 구성된 전극을 구비하도록 반도체 기판을 제조한다. 상기 반도체 기판을 접속기판에 페이스 다운 실장이 이루어지도록 배치한 다음, 전극을 접속기판에 접속한다. 다음에, 반도체 기판과 접속기판 사이의 공간 내부에 밀봉재를 충전한다. 이때, 기저부와 밀봉재는 동일한 재료로 이루어진다.

본 발명의 제 1 및 제 3 면에 따르면, 기저부에 의해 반도체 집적회로를 보호할 수 있다. 더구나, 다른 기판에 접속될 전극이 가장 높은 기저부의 상단면에 형성되어 있기 때문에, 열응력과 열피로에 의한 전극 파괴를 방지할 수 있다. 그 결과, 높은 신뢰성을 갖는 반도체 장치를 제조할 수 있다.

또한, 본 발명의 제 2 및 제 4 면에 따르면, 반도체 기판과 접속기판 사이의 공간이 기저부와 동일한 재료로 이루어진 밀봉재로 충전되므로, 기저부와 밀봉재는 동일한 열팽창계수를 갖게 된다. 이에 따라, 열응력과 열피로에 의한 전극 파괴를 방지할 수 있으므로, 높은 신뢰성을 갖는 반도체 장치를 제조할 수 있다.

이하, 본 발명에 따른 바람직한 실시예를 첨부도면을 참조하여 보다 상세히 설명한다.

#### [제 1 실시예]

도 1a 및 도 1b는 본 발명의 제 1 실시예에 따른 반도체 장치의 전극 구조를 나타낸 것이다. 먼저, 실리콘 웨이퍼인 반도체 집적회로 기판(100) 위에 도전성 패턴(101)과 표면보호층(102)을 형성하여, 반도체 집적회로를 제조한다. 이하에서는, 상기 반도체 집적회로 기판(100)을 반도체 기판(100)이라 칭한다. 도면부호 103은 도전성 패턴(101)의 인출부를 나타낸다. 상기 도전성 패턴(101)은 알루미늄(Al)으로 이루어지거나, 알루미늄(Al)과 실리콘(Si), 구리(Cu) 등의 합금으로 이루어진다. 또한, 상기 표면보호층(102)은 반도체 집적회로의 표면을 보호하기 위해 형성된다. 상기 표면보호층(102)은 산화실리콘( $\text{SiO}_2$ ), 질화실리콘( $\text{Si}_3\text{N}_4$ ) 등으로 이루어진다. 또한, 상기 인출부(103)는 본딩패드와 같은 도전성 패턴의 패드 상에 배치되거나 비어홀(미도시)에 배치될 수 있다.

상기한 반도체 집적회로 상에는, 복수의 기저부(104a, 104b)가 서로 다른 높이를 갖도록 형성된다. 이들 기저부(104a, 104b)는 폴리이미드 수지 등의 절연체로 이루어진다. 또한, 도전층(105)이 반도체 집적회로 상에 형성된다. 높이가 더 높은 기저부(104a) 주위에 개구부(106)가 형성된다. 이들 기저부(104a, 104b), 도전층(105) 및 개구부(106)는 반도체 집적회로의 전극을 구성한다. 더 낮은 높이를 갖는 기저부(104b)의 상단면(104b-a)은, 기저부 104a의 상단면(104a-a)보다  $\Delta T$ 만큼 낮아지도록 설계된다. 상기 상단면 104a-a의 형태는 사각형에 한정되는 것은 아니다.

개구부(106)는, 도전성 패턴(101)을 노출시키기 위해, 더 높은 기저부(104a)와 더 낮은 기저부(104b) 사이의 인출부(103) 위에 형성된다. 도 1a 및 도 1b에 도시된 것 같이, 개구부(106)는 기저부 104a를 둘러싸도록 형성되어, 기저부 104a와 104b를 서로 분리시킨다. 상기 개구부(106)는, 그것이 도전성 패턴(101)을 노출시키는 것이면, 기저부 104a를 둘러싸지 않도록 설계될 수도 있다. 또한, 기저부 104a와 104b는, 그들이 서로 다른 높이를 갖는다면, 서로 분리되지 않도록 설계될 수도 있다.

도전층(105)은 기저부 104a, 도전성 패턴(101) 및 표면보호층(102) 위에 형성되어, 높이가 더 높은 기저부(104a)의 상단부에 도전성 패턴(101)의 접속단자를 형성한다. 비록, 도 1a 및 도 1b에는 도전층(105)이 더 높은 기저부(104a)의 전체면을 피복하는 것으로 도시되어 있지만, 기저부(104a) 표면 상의 일부 영역이 도전층(105)으로 피복되지 않을 수도 있다. 상기 도전층(105)은 금속 또는 합금으로 이루어질 수 있는데, 이것은 접속기판(300, 301)과의 접속공정을 고려하여 선택된다. 도전층(105)은 단일층 구조 또는 다층 구조를 갖도록 설계될 수 있다. 예를 들어, 도전층(105)은 금(Au), 구리(Cu), 납(Pb)과 주석(Sn)의 합금 등으로 이루어진 단일층을 갖거나, 이하에서는 Ni/Au층으로 표시되는 금(Au)과 니켈(Ni)의 이중 구조나, 이하에서는 Ti-W/Au 층으로 표시되는 금(Au), 티타늄(Ti) 및 텅스텐(W)의 이중 구조를 갖도록 설계될 수 있다.

더 높은 기저부(104a), 도전층(105) 및 개구부(106)는, 접속부(107)를 구성한다. 또한, 낮은 쪽의 기저부(104b)는 반도체 집적회로의 표면을 보호하는 표면 보호부(108)를 구성한다. 높은 쪽의 기저부(104a)가 가장 높은 기저부가 되는 한, 낮은 쪽의 기저부(104b)는 서로 다른 높이를 갖도록 구성할 수 있다. 즉, 가장 높은 기저부를 포함하여 3개 이상의 높이가 서로 다른 복수의 기저부가 존재할 수 있다.

이하, 도 1a 및 도 1b에 도시된 전극구조의 제조공정을 도 2a 내지 도 2d를 참조하여 설명한다. 도 2a에 도시된 것 같이, 도전성 패턴(101), 표면 보호층(102) 및 도전성 패턴 인출부(103)를 반도체 기판(100) 위에 형성한다. 그후, 경화가능한 폴리이미드 수지로 이루어진 절연층(204)을 스펀 코팅법을 사용하여 전체 표면 위에 코팅한다. 다음에, 절연층(204)을 통해 개구부(106)를 형성하여, 도전성 패턴(101)을 노출시키고, 가장 높은 기저부(104a)를 형성한다. 그후, 350°C에서 베이킹 처리하여 상기 절연층(204)을 경화시킨다.

다음에, 도 2b 및 도 2c에 도시된 것 같이, 개구부(106)가 형성한 절연층(204) 위에 도전층(205)을 형성한다. 그후, 도전층(105)이 도전성 패턴(101)으로부터 가장 높은 기저부(104a)의 상단면(104a-a)에 이르는 영역 위에 형성되도록, 불필요한 부분을 제거하기 위해 도전층(205)을 패터닝한다. 보다 상세히 설명하면, 스터퍼링법에 의해 절연층(204) 위에 구리로 이루어진 도전층(205)을 형성하고, 도전층(205) 위에 포토레지스트(207)를 패터닝한다. 다음에, 포토레지스트(207)를 에칭 마스크로 사용하여 습식식각에 의해 도전층(205)을 패터닝한다.

그후, 도 2d에 도시된 것 같이, 도전층[105(205)]으로 피복되지 않은 부분에 있는 절연층(204)을 절삭하여, 높이가 더 낮은 기저부(104b)를 형성한다. 이에 따라, 도 1a 및 도 1b에 도시된 것과 같이, 전극이 반도체 기판(100) 위에 형성된다. 이와 같이 제조된 반도체 기판(100)은 접속기판에 실장된다. 도 1a 및 도 1b에 있어서, 가장 높은 기저부(104a)의 상단면(104a-a)에 위치한 도전층(105)이 접속기판에 접속된다. 이때, 더 낮은 기저부(104b)는 접속기판에 접속되지 않는다. 더 낮은 기저부(104b)와 접속기판 사이의 공간은 밀봉수지로 충전된다.

도 3a는 제 1 실시예의 전극 구조와 테이프 캐리어와 같은 접속기판의 리드(301) 사이의 위치관계를 나타낸 것이다. 도 3b는 제 1 실시예의 전극 구조와 접속기판(300)의 도전성 와이어(302) 사이의 위치관계를 나타낸 것이다. 도 3a에 있어서, 도전층(105)은 열압착 접착법에 의해 리드(301)에 접착된다. 도 3b에 있어서, 리플로우법에 의해 도전층(105)이 도전성 와이어(302)에 접착된다.

상기한 제 1 실시예에 따르면, 반도체 집적회로가 절연체로 이루어진 기저부(104a, 104b)에 의해 전체면이 피복되므로, 전극 제조시와 접착공정이 수행될 때 반도체 집적회로의 표면, 특히 표면보호층(102)이 형성되어 있지 않은 부분을 충분히 보호할 수 있다. 또한, 가장 높은 기저부(104a)의 상단면(104a-a)이 더 낮은 기저부(104b)의 상단면보다  $\Delta T$  만큼 높게 형성되어, 상단면(104a-a)에 있는 도전층(105)을 접속기판에 용이하게 접착할 수 있다.

또한, 기저부(104a)가 금속보다도 탄성한계가 높은 고분자 구조를 갖는 폴리이미드 수지로 이루어져 있기 때문에, 접착공정에서 발생된 응력 또는 열응력에 대해 전극부(107)는 소성변형되지 않고 탄성변형된다. 이에 따라, 열피로에 의한 전극 파괴를 방지할 수 있으므로, 전극의 신뢰성을 높일 수 있다.

접착물 도전층(105)이 기저부(104a)의 높이만큼 도전성 패턴(101)으로부터 떨어져 있으므로, 열압착법을 사용하여 전극을 접착하더라도, 도전층(105)과 도전성 패턴(101) 사이의 접촉면에서의 금속확산에 의해 전극이 열화되는 것을 방지할 수 있다. 그 결과, 본 실시예에 따르면, 종래의 범프 전극에서 필요하던 금속 확산방지층의 추가적인 금속층을 생략할 수 있다. 또한, 기저부(104a)는 인출부(103) 위 뿐만 아니라 표면보호층(102) 위에도 형성될 수 있으므로, 기저부(104)의 상단면(104a-a)은 인출부(103)의 크기 및 형태에 무관하게 그것의 크기와 형태를 자유롭게 설계할 수 있다.

#### [제 2 실시예]

도 4a 및 도 4b는 본 발명의 제 2 실시예에 따른 반도체 장치의 전극 구조를 나타낸 것이다. 이를 도면에 있어서, 제 1 실시예의 구성요소와 동일하거나 대응하는 구성요소에는 동일한 도면부호를 붙이고, 중복 설명을 피하기 위해 설명을 생략한다. 제 2 실시예에 있어서, 높이가 더 높은 기저부(404a)가 높이가 더 낮은 기저부(104b)보다  $\Delta T$  만큼 더 높게, 더 높은 기저부(404a)와 더 낮은 기저부(404b)를 반도체 기판(100) 위에 형성한다. 다음에, 더 높은 기저부(404a)와 더 낮은 기저부(404b)를 관통하도록 개구부(406)를 형성한다. 그후, 도전성 패턴(101)으로부터 더 높은 기저부(404a)의 상단면(404a-a)에 이르도록 반도체 집적회로 위에 도전층을 형성한다. 이때, 더 높은 기저부(404a)와 더 낮은 기저부(404b)는 폴리이미드 수지로 형성된다. 또한, 도전층(405)은 도 1a 및 도 1b에 도시된 도전층(105)과 동일한 재료로 이루어진다.

도 4b에 도시된 것 같이, 더 높은 기저부(404a)와 더 낮은 기저부(404b)는 일체로 형성되는데, 이것이 본 실시예의 일 특징부이다. 본 발명의 또 다른 특징부는, 도전층(405)이 기저부(404a, 404b)의 전체면 위에 형성되지 않는다는 점이다. 보다 상세히 설명하면, 도전층(405)은 더 낮은 기저부(404b)의 상단면 위에도 형성되지 않으며, 더 높은 기저부(404a)의 측면(404a-b)에도 형성되지 않는다. 또한, 제 1 실시예의 개구부(106)가 가장 높은 기저부(104a)를 둘러싸는 것과는 대조적으로, 상기 개구부(406)는 가장 높은 기저부(404a)를 둘러싸도록 형성되지 않는다. 더 높은 기저부(404a), 도전층(405) 및 개구부가 접속부(407)를 구성한다. 또한, 낮은 쪽의 기저부(404a)는 반도체 집적회로(100)의 표면을 보호하는 표면 보호부(408)를 구성한다.

이하, 도 4a 및 도 4b에 도시된 전극구조의 제조공정을 도 5a 내지 도 5d를 참조하여 설명한다. 먼저, 도 5a에 도시된 것 같이, 반도체 기판(100) 위에 도전성 패턴(101)과 표면보호층(102)을 형성한다. 그후, 전체 표면 위에 경화가 가능한 폴리이미드 수지로 이루어진 절연층(204)을 형성한다. 다음에, 절연층(204)을 관통하여 개구부(406)를 형성하여, 도전성 패턴(101)을 노출시키고 더 높은 기저부(404a)의 일부를 형성한다.

다음에, 도 5b 및 도 5c에 도시된 것 같이, 절연층(204)과 개구부(406)의 바닥면에 있는 도전성 패턴(101) 위에 도전층(205)을 형성한다. 도전성 패턴(405)을 도전성 패턴(101)으로부터 더 높은 기저부(40a)의 상단면(404a-a)에 이르는 영역 위에 형성되도록 도전층(205)을 패터닝하여 불필요한 부분을 제거한다. 보다 상세히 설명하면, 스퍼터링법에 의해 구리로 이루어진 도전층(205)을 절연층(204) 위에 형성하고, 포토레지스트(207)를 도전층(205) 위에 패터닝한다. 그후, 포토레지스트를 에칭 마스크로 이용하여 습식식각법에 의해 도전층(205)을 패터닝한다.

그후, 도 5d에 도시된 것 같이, 도전층[405(205)]으로 피복되지 않은 부분에 위치한 절연층(204)을 절삭하여, 더 높은 기저부(404a)와 더 낮은 기저부(404b)를 완성한다. 그 결과, 도 4a 및 도 4b에 도시된 것과 같은 전극이 반도체 기판(100) 위에 형성된다. 이와 같이 제조된 반도체 기판(100)은 접속기판(300)에 실장된다. 도 4a 및 도 4b에 있어서, 더 높은 기저부(404a)의 상단면(404a-a)에 위치한 도전성 패턴(405)이 접속기판에 접속된다. 이때, 더 낮은 기저부(404b)와 접속기판 사이의 공간은 밀봉부재로 충진된다.

도 6a는 제 2 실시예의 전극 구조와 테이프 캐리어와 같은 접속기판의 리드(301) 사이의 위치관계를 나타낸 것이다. 도 6b는 제 2 실시예의 전극 구조와 접속기판(300)의 도전성 와이어(302) 사이의 위치관계를 나타낸 것이다. 상기 도전층(405)은 열압착 접착법, 리플로우법 등에 의해 리드(301) 또는 도전성 와이어(302)에 접착된다.

상기한 제 2 실시예에 따르면, 더 높은 기저부(404a)와 더 낮은 기저부(404b)의 전체면이 도전층(405)으로 피복되지 않으므로, 접착과정에서 산성변형에 의해 발생된 응력과 전극 제조시 가열공정에서 발생된 가스가 쉽게 없어질 수 있다. 이에 따라, 도전층(405)이 쉽게 파괴되지 않으므로, 전극은 높은 접속 신뢰성을 갖게 된다.

또한, 더 높은 기저부(404a)가 도 2a 내지 도 2d에 도시된 것 같이 도전층으로 완전히 피복되어 있더라도, 상기한 이점이 얻어질 수 있다. 더구나, 도 1a 및 도 1b에 도시된 것 같이 높은 쪽의 기저부(104a)가 낮은 쪽의 기저부(104b)와 분리되어 있더라도, 더 높은 기저부(104a)의 일부가 노출된 구조라면, 상기한 이점을 얻을 수 있다.

#### [제 3 실시예]

도 7은 본 발명의 제 3 실시예에 따른 반도체 장치의 전극 구조를 나타낸 것이다. 도 7에 있어서, 제 1 및 제 2 실시예의 구성요소와 동일하거나 대응하는 구성요소에는 동일한 도면부호를 붙이고, 중복 설명을 피하기 위해 설명을 생략한다. 제 3 실시예에 있어서, 반도체 기판(100) 위에 표면보호층이 형성되지 않으며, 그 대신에, 기저부(404b) 자체가 보호층으로의 기능을 수행한다. 이 점이 제 2 실시예와의 차이점이다. 또한, 더 높은 기저부(404a)와 더 낮은 기저부(404b)를 관통하여 개구부(406)가 형성된다. 도전층(405)은 도전성 패턴(101)으로부터 더 높은 기저부(404a)의 상단면에 이르도록 반도체 집적회로 위에 형성된다. 이때, 더 높은 기저부(404a)와 더 낮은 기저부(404b)는 폴리이미드 수지로 이루어진다. 또한, 상기 도전층(405)은 도 1a 및 도 1b에 도시된 도전층(105)과 동일한 재료로 이루어진다.

또한, 도 7에 도시된 것 같이, 상기 제 2 실시예에서와 마찬가지로, 더 높은 기저부(404a)와 더 낮은 기저부(404b)는 일체로 형성되고, 도전층(405)은 기저부(404a, 404b)의 전체면 위에 형성되지 않는다. 상기 전극은 도 6a 및 도 6b에 도시된 제 2 실시예와 마찬가지로 접속기판에 접속된다.

도 8a 및 도 8b는 도 7에 도시된 반도체 장치의 전극 구조를 제조하는 공정을 나타낸 것이다. 이를 도면에 있어서, 제 1 및 제 2 실시예의 구성요소와 동일하거나 대응하는 구성요소에는 동일한 도면부호를 붙이고, 중복 설명을 피하기 위해 설명을 생략한다.

제조공정에 있어서, 먼저, 도 8a에 도시된 것 같이, 반도체 기판(100) 위에 도전성 패턴(101)을 형성한다. 그후, 경화 가능한 폴리이미드 수지로 이루어진 절연층(204)을 전체 구조 위에 피복한다. 다음에, 상기 절연층(204)을 관통하여 개구부(406)를 형성하여, 도전성 패턴(101)을 노출시키고 높이가 더 높은 기저부(404a)의 일부를 형성한다. 개구부(406)를 형성한 후에, 절연층(204)을 경화시킨다.

다음에, 도전층(205)(미도시)을 절연층(204) 및 개구부(406)의 바닥면에 있는 도전성 패턴(101) 위에 형성한다. 그 후, 도 8b에 도시된 것 같이, 도전성 패턴(101)으로부터 더 높은 기저부(404a)의 상단면에 이르는 영역을 따라 도전성 패턴(405)을 형성하도록, 도전층(205)을 패터닝하여 불필요한 부분을 제거한다. 보다 상세히 설명하면, 스터퍼링법에 의해 절연층(204) 위에 구리로 이루어진 도전층(205)을 형성하고, 도전층(205) 위에 포토레지스트(미도시)를 패터닝한다. 그 후, 포토레지스트를 에칭 마스크로 이용하여 습식식각법에 의해 도전층(205)을 패터닝하여 도전층(405)을 형성한다. 다음에, 도전층(405)(205)으로 피복되지 않은 부분에 있는 절연층(204)을 절삭하여, 더 높은 기저부(404a)와 더 낮은 기저부(404b)를 완성한다. 그 결과, 도 7에 도시된 것 같이, 전극이 반도체 기판(100) 위에 형성된다. 이와 같이 제조된 반도체 기판(100)은 접속기판(미도시)에 실장된다. 이때, 더 낮은 기저부(404b)와 접속기판 사이의 공간은 밀봉수지로 충전된다.

상기한 제 3 실시예에 따르면, 절연층(204), 특히 더 낮은 기저부(404b)가 보호층으로서의 기능을 수행하므로, 제 1 및 제 2 실시예에서 사용된 표면보호층(102)을 생략할 수 있다. 이에 따라, 반도체 장치의 제조공정이 간단해져, 제조비용을 줄일 수 있다.

#### [제 4 실시예]

도 9a 및 도 9b는 본 발명의 제 4 실시예에 따른 반도체 장치의 전극구조 제조공정을 나타낸 것이다. 이를 도면에 있어서, 제 1 내지 제 3 실시예의 구성요소와 동일하거나 대응하는 구성요소에는 동일한 도면부호를 붙이고, 중복 설명을 피하기 위해 설명을 생략한다. 특히, 도 9a 및 도 9b는 절연층(504)과 개구부(406)를 제조하는 공정을 나타낸다. 제 4 실시예의 반도체 장치는 상기 제 2 실시예에서와 동일한 구조를 갖도록 설계된다. 따라서, 제 4 실시예의 전극구조 제조공정은 제 2 실시예의 제조공정과 유사하다. 그러나, 제 4 실시예에 있어서는, 절연층(504)은 감광성 수지로 이루어지며, 포토리소그래피 기술에 의해 개구부(406)가 형성된다.

보다 상세히 설명하면, 도 9a에 도시된 것 같이, 먼저, 도전성 패턴(101)과 표면보호층(102)을 반도체 기판(100) 위에 형성한다. 다음에, 스퍼터링법을 사용하여 감광성 폴리이미드 수지로 이루어진 절연층(504)을 전체 구조 위에 코팅한다. 그 후, 개구부(406)를 형성하려는 영역에 있는 절연층(504)에 노광광(501)을 조사한다. 이때, 상기 노광광(501)은 절연층(504)을 구성하는 폴리이미드 수지에 민감한 파장을 포함한다.

다음에, 9b에 도시된 것 같이, 절연층(504)을 현상액에 침적하여 노광된 부분을 제거하고 개구부(406)를 형성함으로써, 도전성 패턴(101)을 노출시킨다. 그 후, 상기 반도체 기판(100)(웨이퍼)을 350℃에서 베이킹 처리하여 경화시킨다. 다음에, 도 5b 내지 도 5d에 도시된 공정을 수행한다. 이에 따라 제조된 반도체 기판(100)은 접속기판(미도시)에 실장된다.

상기한 제 4 실시예에 따르면, 개구부(406)가 리소그래피 기술을 사용하여 형성되므로, 기계적인 가공기술을 사용하는 경우에 비해, 개구부(406)를 보다 정밀하고도 미세화해서 효율적으로 형성할 수 있다. 이러한 제 4 실시예에 따른 개구부 형성방법은, 상기 제 1 및 제 3 실시예에서도 적용 가능하다.

#### [제 5 실시예]

도 10a 및 도 10b는 본 발명의 제 5 실시예에 따른 반도체 장치의 전극구조 제조공정을 나타낸 것이다. 이를 도면에 있어서, 제 1 내지 제 4 실시예의 구성요소와 동일하거나 대응하는 구성요소에는 동일한 도면부호를 붙이고, 중복 설명을 피하기 위해 설명을 생략한다. 도 10a 및 도 10b는 특히 절연층(604)과 개구부(406)를 형성하는 공정을 나타낸 것이다. 제 5 실시예의 반도체 장치는 상기 제 2 실시예와 동일한 구조를 갖도록 형성된다. 본 제 5 실시예의 전극 형성공정은 제 2 실시예의 그것과 유사하다. 그러나, 제 5 실시예에 있어서는, 레이저 가공기술에 의해 개구부(406)를 형성하는데, 이것이 본 실시예의 특징부에 해당한다.

먼저, 도 10a에 도시된 것 같이, 반도체 기판(100) 상에 도전성 패턴(101) 및 표면보호층(102)이 형성된다. 그 후, 폴리이미드 수지로 이루어진 절연층(604)을 전체 구조 위에 코팅한다. 다음에, 개구부(406)를 형성하려는 영역에 있는 절연층(604)에 레이저빔(601)을 조사하여 그것을 태워 제거하여, 개구부를 형성한다.

다음에, 개구부(406)가 형성된 절연층(604)을 350℃에서 베이킹 처리하여, 절연층(604)을 경화시킨다. 그 후, 도 5b 내지 도 5d에 도시된 단계를 수행한다. 이에 따라 제조된 반도체 기판(100)은 접속기판(미도시)에 실장된다.

상기한 제 5 실시예에 따르면, 레이저 가공기술에 의해 개구부(406)가 형성되므로, 상기한 기계적인 가공기술에 비해, 개구부(406)를 보다 정확하면서도 세밀하게 효율적으로 형성할 수 있다. 이와 같은 제 5 실시예에 따른 개구부 형성방법은 제 1 및 제 3 실시예에도 적용 가능하다.

#### [제 6 실시예]

도 11a 및 도 11b는 본 발명의 제 6 실시예에 따른 반도체 장치의 전극구조 제조공정을 나타낸 것이다. 이를 도면에 있어서, 제 1 내지 제 5 실시예의 구성요소와 동일하거나 대응하는 구성요소에는 동일한 도면부호를 붙이고, 중복 설명을 피하기 위해 설명을 생략한다. 특히, 도 11a 및 도 11b는 절연층(604)의 일부를 절삭하는 공정을 나타낸 것이다. 제 6 실시예에 따른 반도체 장치는 상기 제 2 실시예와 동일한 구조를 갖도록 형성된다. 이 제 6 실시예의 전극 제조공정은 상기 제 2 실시예의 그것과 동일하다. 그러나, 제 6 실시예에 있어서는, 도전층(405)을 에칭 마스크로 이용하는 플라즈마 에칭기술에 의해 절연층(604)의 일부가 절삭되는데, 이것이 본 실시예의 특징부이다.

제조공정에 있어서는, 먼저, 도 11a에 도시된 것 같이, 반도체 기판(100) 상에 도전성 패턴(101) 및 표면보호층(102)을 형성한다. 그 후, 폴리이미드 수지로 이루어진 절연층(604)을 전체 구조 위에 코팅한 다음, 개구부(406)를 형성한다. 다음에, 도 11a에 도시된 것 같이 도전성 패턴(101)과 절연층(604)의 일부분 위에 도전층(405)을 형성한다.

그 후, 도 10b에 도시된 것 같이, 도전층(405)을 에칭 마스크로 이용하여 산소( $O_2$ )를 주성분으로 하는 에칭 가스(701)로 도전층(405)을 갖는 반도체 기판(100)에 대해 플라즈마 에칭공정을 수행한다. 이러한 에칭 공정에 의해, 상기 절연층(604)이 선택적으로 에칭되어 높이가 더 높은 기저부(404a)와 낮은 기저부(404b)를 형성한다. 즉, 더 낮은 기저부(404b)를 형성하려는 영역에 있는 절연층(604)이  $\Delta T$  만큼 에칭되어, 더 높은 기저부(404a)의 높이에 비해  $\Delta T$  만큼 높이가 더 낮은 기저부(404b)가 형성된다. 이에 따라 제조된 반도체 기판(100)은 접속기판(미도시)에 실장된다.

상기한 제 6 실시예에 따르면, 플라즈마 에칭기술에 의해 기저부(404b)가 형성되므로, 더 높은 기저부(404a)와 더 낮은 기저부(404b) 사이의 높이차  $\Delta T$ (에칭깊이)를 정밀하게 조절할 수 있다.

## [제 7 실시예]

도 12는 본 발명의 제 7 실시예에 따른 반도체 장치의 전극구조를 나타낸 것이다. 도 12에 있어서, 제 1 내지 제 6 실시예의 구성요소와 동일하거나 대응하는 구성요소에는 동일한 도면부호를 붙이고, 중복 설명을 피하기 위해 설명을 생략한다. 또한, 제 7 실시예에 따른 전극 제조공정은 제 2 실시예의 그것과 유사하다. 그러나, 제 7 실시예에 있어서는, 도 5a 내지 도 5d의 공정 이전에 트리밍(trimming) 공정을 수행한다. 본 실시예의 특징은, 트리밍 패턴(801)을 노출하도록 개구부(406)가 형성되고, 트리밍 패드(802)가 절연층(204)으로 피복된다는 점이다.

제조공정에 있어서는, 먼저, 도 13a에 도시된 것 같이, 도전성 패턴(101), 표면보호층(102)과 트리밍 패턴(801)을 반도체 기판(100) 위에 형성한다. 그 후, 반도체 집적회로에 대해 전기 시험을 수행한다. 이 시험결과에 근거하여, 트리밍 패드(802) 위치에 노출되어 있는 트리밍 패턴(801)이 일부를 절단 제거한다.

다음에, 도 13b에 도시된 것 같이, 경화 가능한 폴리이미드 수지로 이루어진 절연층(204)을 전체 구조 위에 코팅하고, 절연층(204)을 관통하여 개구부(406)를 형성하여 도전성 패턴(101)을 노출시킨다. 상기 개구부(406)의 형성이 이루어진 이후에, 절연층(204)을 경화시킨다. 이때, 트리밍 패드(802) 위에는 개구부(406)를 형성하지 않아, 트리밍 패드(802)가 절연층(204)에 의해 보호되도록 한다. 그 후, 도 5b 내지 도 5d에 도시된 공정을 수행한다.

상기한 제 7 실시예에 따르면, 개구부(406)가 형성된 이후에도 트리밍 패드(802)의 트리밍 패턴(801)이 절연층(204)으로 피복된채 유지되므로, 트리밍 패턴(801)은 그것이 가공되었을 때의 상태를 유지할 수 있다. 즉, 상기 트리밍 패턴(801)은 그것의 형성 이후에 수행되는 어떠한 공정, 특히 도전층 형성공정과 패터닝 공정에 의해 영향을 받지 않게 된다.

## [제 8 실시예]

도 14는 본 발명의 제 8 실시예에 따른 반도체 장치의 전극 구조를 나타낸 것이다. 도 14에 있어서, 제 1 내지 제 7 실시예의 구성요소와 동일하거나 대응하는 구성요소에는 동일한 도면부호를 붙이고, 중복 설명을 피하기 위해 설명을 생략한다. 또한, 제 8 실시예에 따른 전극 구조는 제 2 실시예의 그것과 유사하다. 그러나, 제 8 실시예의 전극 구조는 높이가 더 높은 기저부(404a)의 상단면(404a-a)에 있는 도전층(405) 위의 범프 전극(901)을 구비한다. 상기 범프 전극(901)은 금(Au) 및 구리(Cu) 등의 고용점을 갖는 금속이나, Pb-Sn 및 인듐(In) 등의 저용점을 갖는 금속으로 이루어질 수 있다.

이때, 높은 쪽의 기저부(404a), 도전층(405), 개구부(406) 및 범프 전극(901)이 전극부(907)를 구성한다. 또한, 낮은 쪽의 기저부(104a)는 표면보호부(408)를 구성한다. 범프 전극(901)이 높이 H를 갖도록 형성되었다고 가정하면, 접속부(907)의 접속 레벨은 상기 제 2 실시예의 접속부보다 H 만큼 높아진다. 상기 범프 전극(901)은 일반적으로 도 5a 내지 5에 도시된 공정이 완료된 이후에 형성된다.

도 15a는 제 8 실시예의 전극 구조와 테이프 캐리어와 같은 접속기판의 리드(301) 사이의 위치관계를 나타낸 것이다. 또한, 도 15b는 제 8 실시예의 전극 구조와 접속기판(300)의 도전성 와이어(302) 사이의 위치관계를 나타낸 것이다. 상기 전극부(907)의 범프 전극(901)은 열압착 접착법, 리플로우법 등에 의해 리드(301) 또는 도전성 와이어(302)에 접합된다.

상기한 제 8 실시예에 따르면, 반도체 장치가 그것의 더 높은 기저부(404a)의 상단에 있는 도전층(405) 위에 범프 전극(901)이 설치됨으로써, 제 2 실시예의 전극 구조에 비해, 반도체 집적회로 표면에서 리드(301) 또는 도전성 와이어(302) 까지의 거리가 더 커진다. 그 결과, 열응력을 쉽게 흡수할 수 있으므로, 높은 신뢰성을 갖는 반도체 장치를 제조할 수 있다. 만일, 상기 범프 전극이 솔더로 이루어진 경우에는, 상기 전극은 자기정렬 효과에 의해 접속 기판에 대략적으로 접속될 수 있다.

## [제 9 실시예]

도 16은 본 발명의 제 9 실시예에 따른 반도체 장치의 일부를 나타낸 것이다. 본 실시예에 있어서, 반도체 기판(1000)은 페이스다운 실장기술을 사용하여 접속기판(300)에 실장되고, 기판들(1000, 300) 사이의 공간은 밀봉 수지(1001)로 충전된다. 상기 밀봉수지(1001)로는 폴리이미드 수지가 사용될 수 있다. 상기 반도체 기판(1000)에는 기저부(1004)와 도전층(1005)으로 구성된 전극부(1007)가 설치된다. 상기 기저부(1004)는 폴리이미드 수지로 이루어진다. 본 실시예의 주요한 특징은, 밀봉 수지(1001)와 기저부(1004)가 동일한 재료인 폴리이미드 수지로 이루어진다는 점이다.

종래의 반도체 장치에 있어서는, 범프 전극을 갖는 반도체 기판이 페이스다운 기술을 이용하여 접속기판에 실장되고, 이들 기판 사이의 공간이 밀봉 수지로 충전된다. 그러나, 이와 같은 종래의 반도체 장치에 따르면, 범프 전극과 밀봉 수지 사이의 열팽창계수의 차이로 인해 열 응력이 발생하게 된다. 그 결과, 범프 전극이 열 응력으로 팽창되어, 열 피로에 의해 파손될 수 있다.

이에 비해, 제 9 실시예에 따르면, 밀봉 수지(1001)와 기저부(1004)가 동일한 재료인 폴리이미드 수지로 이루어지므로, 전극부(1007)의 파손을 방지할 수 있다. 그 결과, 본 발명에 따른 반도체 장치는 높은 신뢰성을 가지면서 제조될 수 있다.

상기한 본 발명은 본 발명이 속한 기술분야의 당업자에 의해 다양한 변형, 변경 및 응용이 이루어질 수 있으며, 이들 변형, 변경 및 응용 모두는 본 발명의 청구범위에 정의된 본 발명의 범주에 속하는 것으로 해석되어야 하는 것은 자명하다.

## 발명의 효과

이상에서 상세히 설명한 것 같이, 본 발명의 반도체 장치 및 그 제조방법에 따르면, 반도체 집적회로 전체면을 절연체로 이루어진 기저부에 의해 피복하는 것에 의해, 전극 형성시나 전극의 본딩시에 반도체 집적회로의 표면을 보호할 수 있다고 하는 효과가 있다. 또한, 절연체로 이루어진 가장 높은 기저부에 의해 전극부를 구성함으로써, 전극부의 열응력에 의한 소성변형이 생기기 어렵게 되어, 열피로에 의한 전극파괴를 방지할 수 있기 때문에, 전극의 접속 신뢰성을 높일 수 있다고 하는 효과가 있다.

또한, 본 발명의 또 다른 반도체 장치 및 그 제조방법에 따르면, 밀봉수지와 기저부를 동일한 재료로 형성하여, 밀봉수지와 기저부와와의 열팽창계수를 같게 함으로써, 전극의 열피로에 의한 파괴를 방지할 수 있기 때문에, 전극의 접속 신뢰성을 높일 수 있다고 하는 효과가 있다.

## (57) 청구의 범위

## 청구항 1.

도전성 패턴을 갖는 반도체 집적회로와, 반도체 집적회로 상에 형성되어 높이가 서로 다른 복수의 기저부를 형성하는 절연층과, 도전성 패턴의 일부를 노출시키기 위해 절연층에 관통 형성된 개구부와, 도전성 패턴의 노출 표면으로부터 가장 높은 기저부의 상단면에 연장되도록, 절연층과 개구부 상에 형성된 도전층을 구비하고, 상기 절연층, 개구부 및 도전층으로 전극이 구성된 것을 특징으로 하는 반도체 장치.

## 청구항 2.

제 1 항에 있어서, 가장 높은 기저부는 다른 기저부들과 일체로 형성된 것을 특징으로 하는 반도체 장치.

## 청구항 3.

제 2 항에 있어서, 상기 다른 기저부들은 노출된 상단면을 갖도록 형성된 것을 특징으로 하는 반도체 장치.

## 청구항 4.

제 1 항에 있어서, 가장 높은 기저부는 측면에 노출된 부분을 갖도록 형성된 것을 특징으로 하는 반도체 장치.

## 청구항 5.

제 1 항에 있어서, 가장 높은 기저부 주위에 개구부가 형성된 것을 특징으로 하는 반도체 장치.

## 청구항 6.

제 1 항에 있어서, 상기 절연층은 상기 반도체 집적회로의 보호층으로서의 역할을 하는 것을 특징으로 하는 반도체 장치.

## 청구항 7.

제 1 항에 있어서, 가장 높은 상단면에 있는 도전층 위에 형성된 범프 전극을 더 구비한 것을 특징으로 하는 반도체 장치.

## 청구항 8.

제 1 항에 있어서, 상기 절연층은 폴리이미드 수지로 이루어진 것을 특징으로 하는 반도체 장치.

## 청구항 9.

제 1 항에 있어서, 상기 도전층은, 금(Au)을 주성분으로 하는 단일층, 구리(Cu)를 주성분으로 하는 단일층, 납(Pb)과 주석(Sn)을 주성분으로 하는 단일층 및 금(Au)을 주성분으로 하는 적층 구조로부터 선택된 것을 특징으로 하는 반도체 장치.

## 청구항 10.

반도체 집적회로와, 반도체 집적회로 상에 형성된 절연체로 이루어진 기저부 및 기저부의 표면에 형성된 도전층으로 구성된 전극을 구비한 반도체 기판과, 그 위에 반도체 기판이 페이스 다운 실장된 접속기판과, 반도체 기판과 접속기판 사이의 공간에 충전된 밀봉재를 구비하고, 상기 기저부와 밀봉재는 동일한 재료로 이루어진 것을 특징으로 하는 반도체 장치.

## 청구항 11.

제 1 항에 있어서, 전극을 갖는 반도체 집적회로가 그 위에 페이스 다운 실장된 접속기판과, 반도체 집적회로와 접속기판 사이의 공간에 충전된 밀봉재를 더 구비하고, 상기 기저부와 밀봉재는 동일한 재료로 이루어진 것을 특징으로 하는 반도체 장치.

## 청구항 12.

도전성 패턴을 구비한 반도체 집적회로를 형성하는 단계와, 상기 반도체 집적회로 상에 절연층을 형성하는 단계와, 상기 도전성 패턴의 일부가 노출하도록 상기 절연층을 관통하여 개구부를 형성하는 단계와, 개구부를 갖는 절연층 위에 도전층을 형성하는 단계와, 상기 도전성 패턴의 노출 부분으로부터 상기 절연층의 소정 부분에 이르는 부분을 제외하고 상기 도전층을 패터닝하는 단계와, 상기 도전층으로 피복되지 않는 절연층 부분이 도전층으로 피복된 절연층 부분보다 높이가 더 낮아지도록 절연층을 성형하는 단계를 구비한 것을 특징으로 하는 반도체 장치의 제조방법.

## 청구항 13.

제 12 항에 있어서, 상기 개구부 형성단계는, (1) 상기 반도체 집적회로 위에 경화가능한 수지를 코팅하여 절연층을 형성하는 단계와, (2) 상기 경화가능한 수지를 관통하여 개구부를 형성하는 단계와, (3) 상기 수지를 경화시키는 단계를 구비한 것을 특징으로 하는 반도체 장치의 제조방법.

## 청구항 14.

제 12 항에 있어서, 상기 개구부 형성단계는, (1) 상기 반도체 집적회로 위에 감광성 수지를 코팅하여 절연층을 형성하는 단계와, (2) 리소그래피 방법으로 상기 절연층을 관통하여 개구부를 형성하는 단계를 구비한 것을 특징으로 하는 반도체 장치의 제조방법.

## 청구항 15.

제 12 항에 있어서, 상기 개구부 형성단계는, (1) 상기 반도체 집적회로 위에 절연성 수지를 코팅하여 절연층을 형성하는 단계와, (2) 레이저 가공기술을 이용하여 상기 절연층을 관통하여 개구부를 형성하는 단계를 구비한 것을 특징으로 하는 반도체 장치의 제조방법.

## 청구항 16.

제 12 항에 있어서, 상기 개구부 형성단계는 반도체 집적회로 위에 절연성 수지를 코팅하여 절연층을 형성하는 단계를 구비하고, 상기 절연층 성형단계는 상기 절연층을 플라스마 에칭하는 단계인 것을 특징으로 하는 반도체 장치의 제조방법.

## 청구항 17.

제 12 항에 있어서, 상기 절연층은 폴리이미드 수지로 이루어진 것을 특징으로 하는 반도체 장치의 제조방법.

## 청구항 18.

제 12 항에 있어서, 상기 절연층이 보호층으로서의 기능을 수행하도록, 보호층으로 피복되지 않은 반도체 집적회로 위에 절연층이 형성된 것을 특징으로 하는 반도체 장치의 제조방법.



청구항 19.

제 12 항에 있어서, 상기 절연층 위에 형성된 도전층 위에 범프 전극을 형성하는 단계를 더 구비한 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 20.

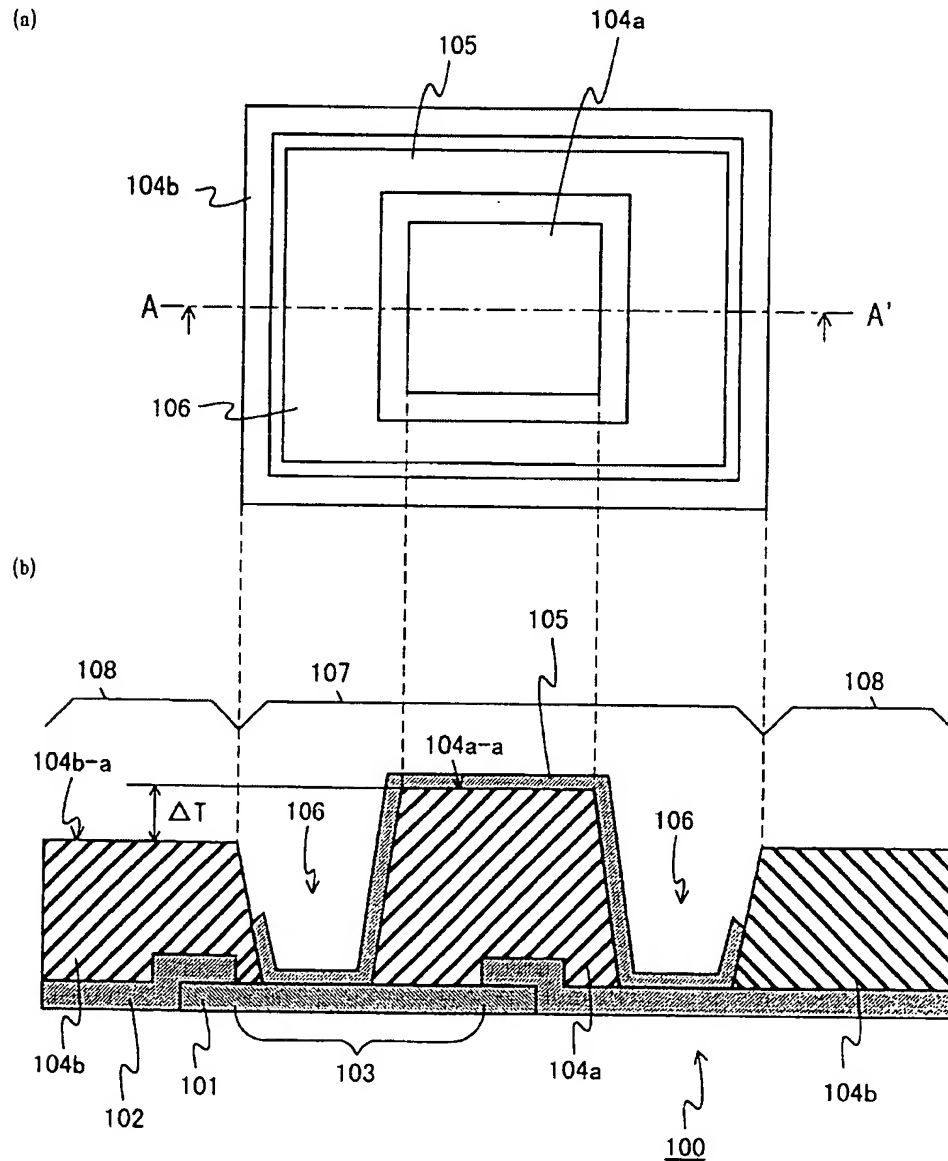
제 12 항에 있어서, 상기 반도체 집적회로의 전기 시험을 수행하는 단계와, 상기 절연층 형성단계와 개구부 형성단계를 수행하기 이전에 상기 반도체 집적회로의 트리밍용 패턴을 형성하는 단계를 더 구비하고, 상기 절연층 형성단계와 상기 개구부 형성단계는, 상기 절연층이 트리밍용 패턴의 전표면 상에 남도록 수행되는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 21.

반도체 집적회로와, 반도체 집적회로 상에 형성된 절연체로 이루어진 기저부 및 기저부의 표면에 형성된 도전층으로 구성된 전극을 구비한 반도체 기판을 제조하는 단계와, 상기 반도체 기판을 페이스 다운 실장기술에 따라 접속기판과 마주보도록 배치하는 단계와, 상기 전극을 접속기판에 접속하는 단계와, 상기 반도체 기판과 접속기판 사이의 공간 내부에 밀봉재를 충전하는 단계를 구비하고, 상기 기저부와 밀봉재는 동일한 재료로 이루어진 것을 특징으로 하는 반도체 장치의 제조방법.

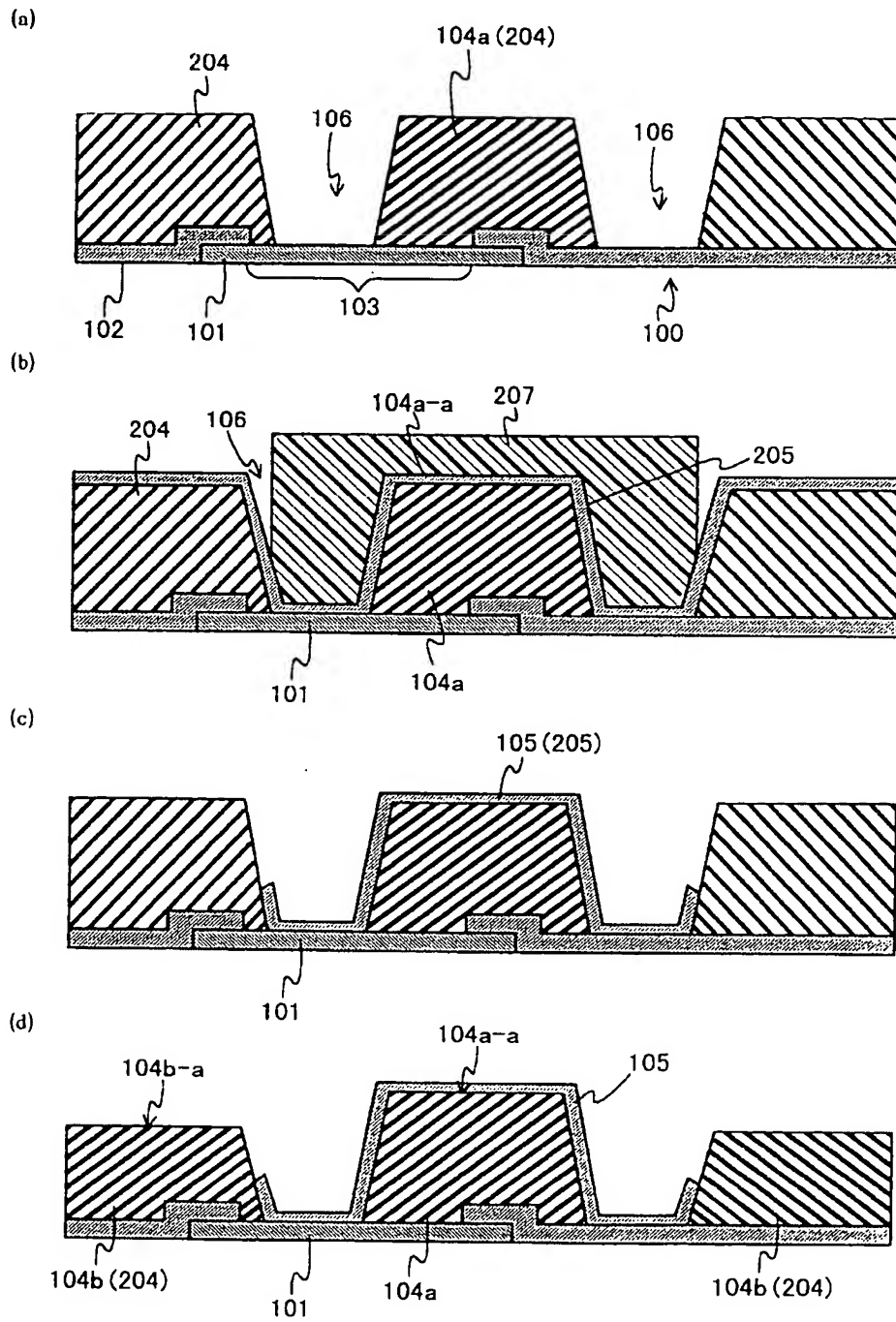
도면

도면 1



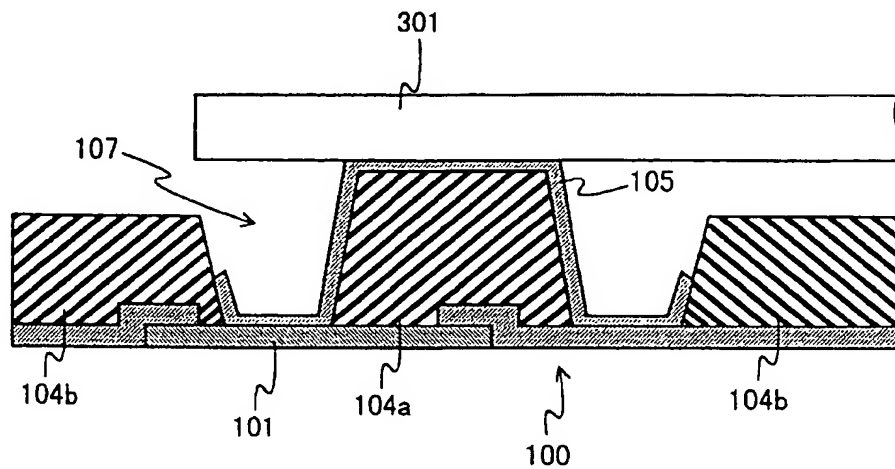


도면 2

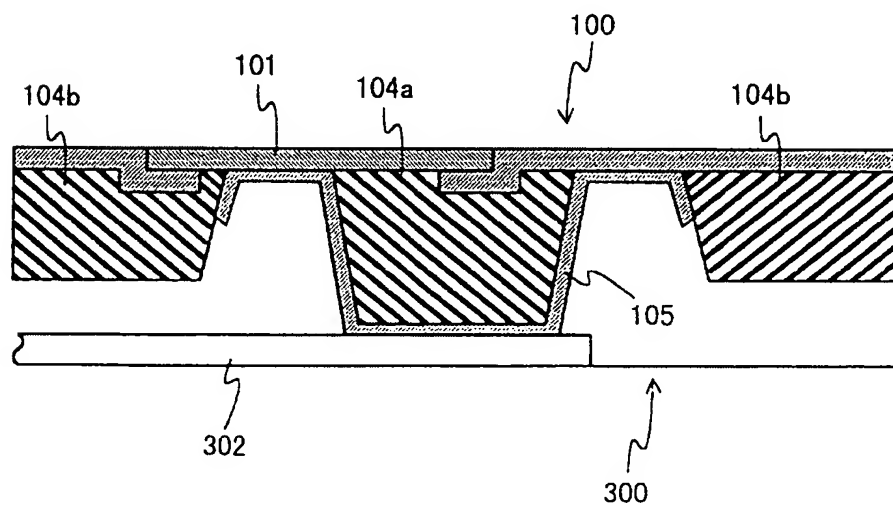


도면 3

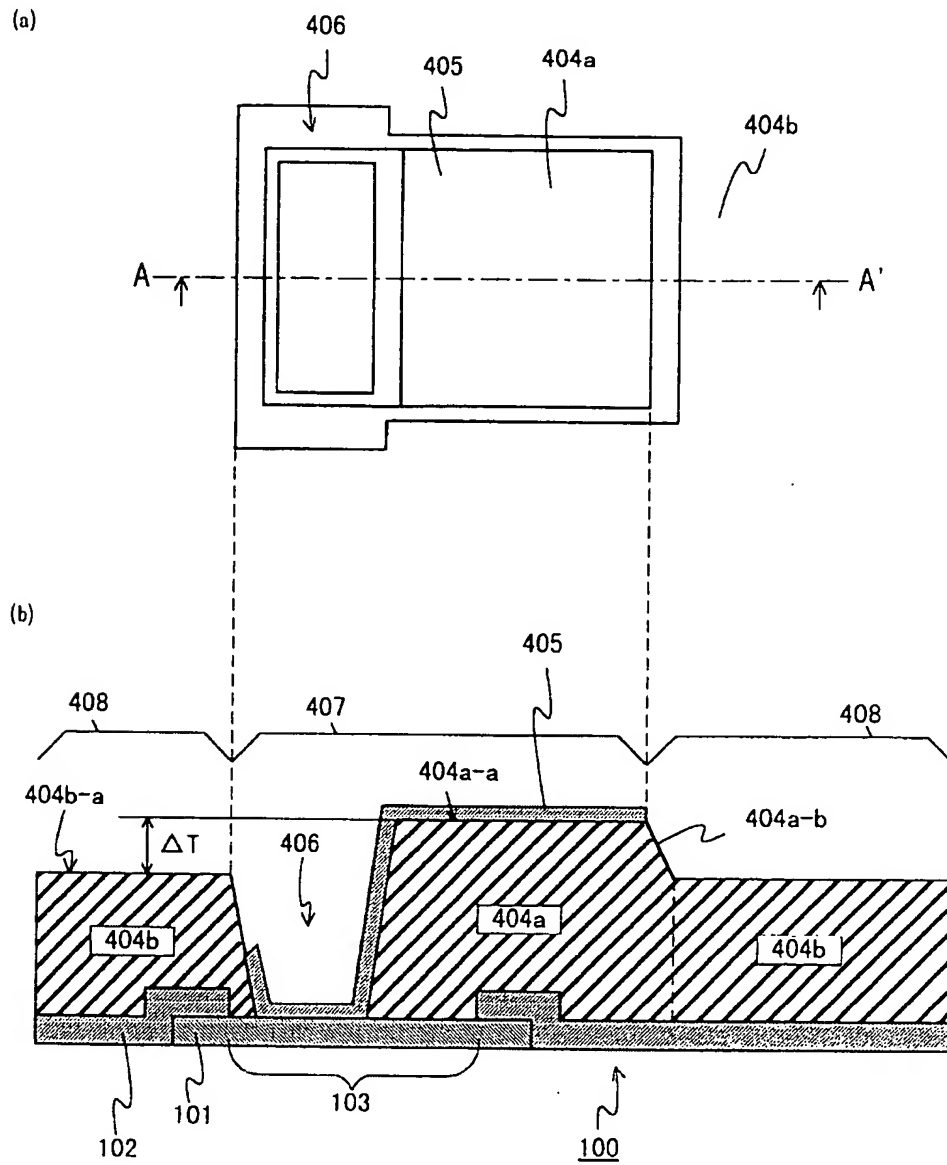
(a)



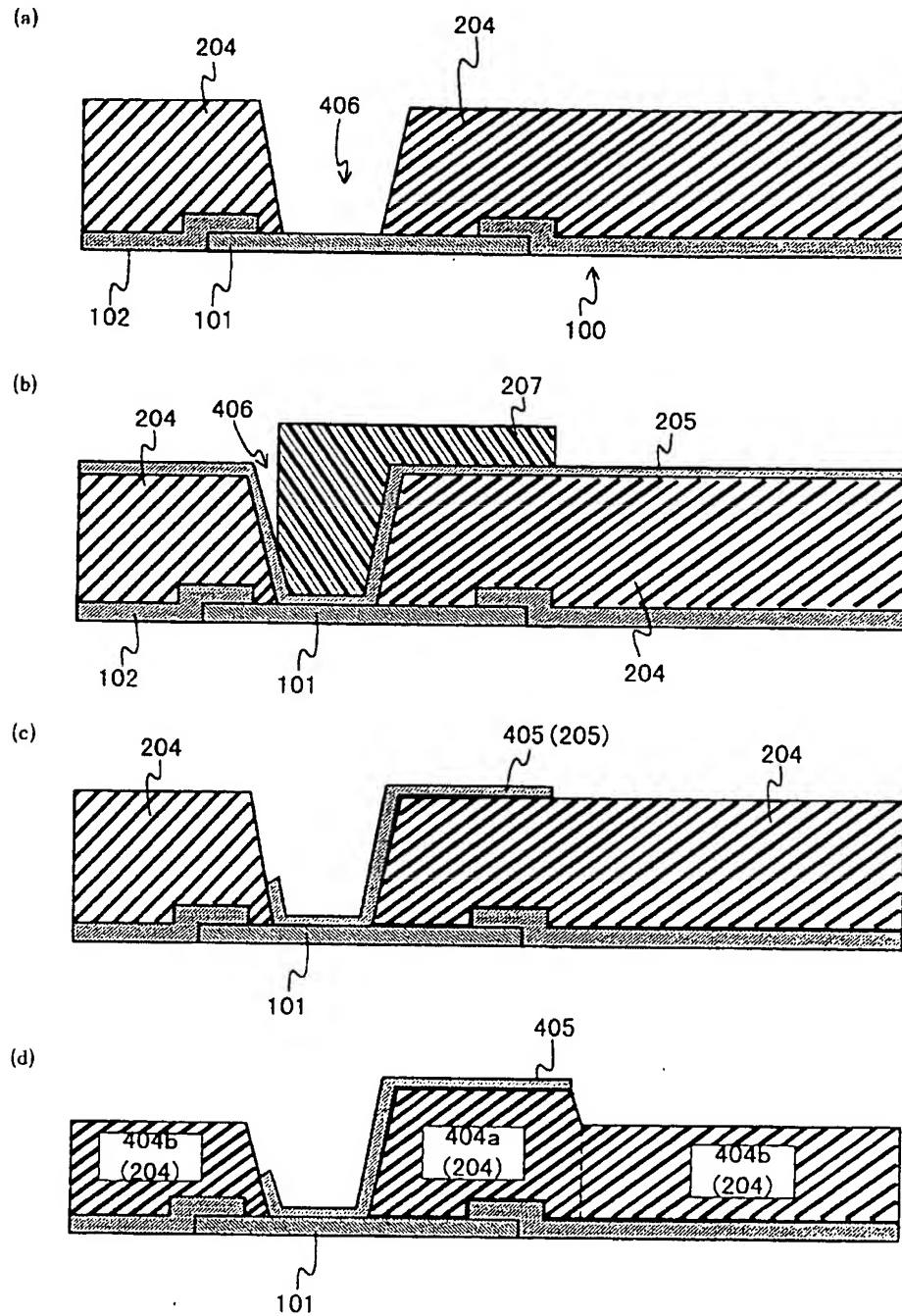
(b)



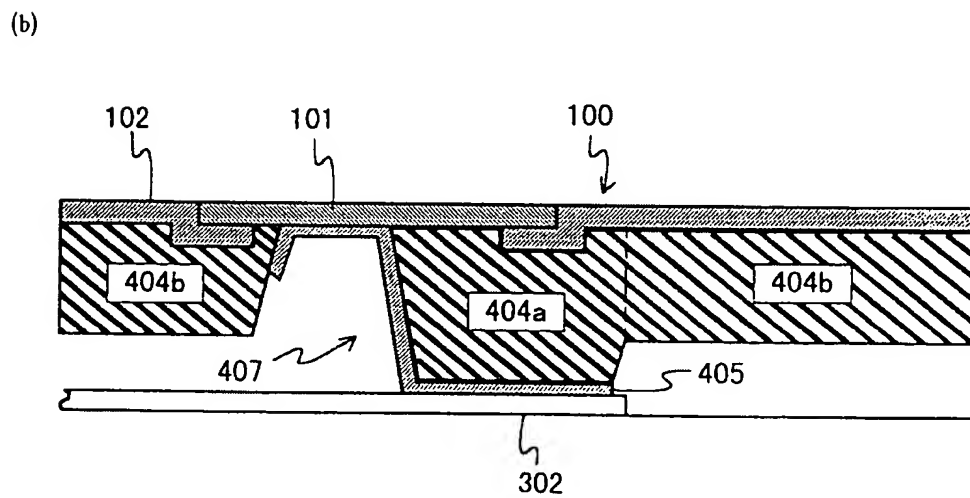
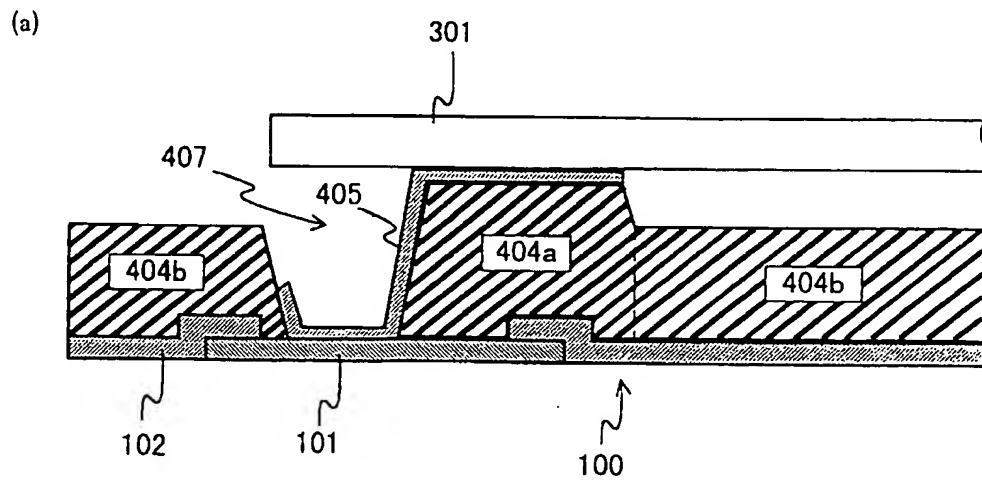
도면 4



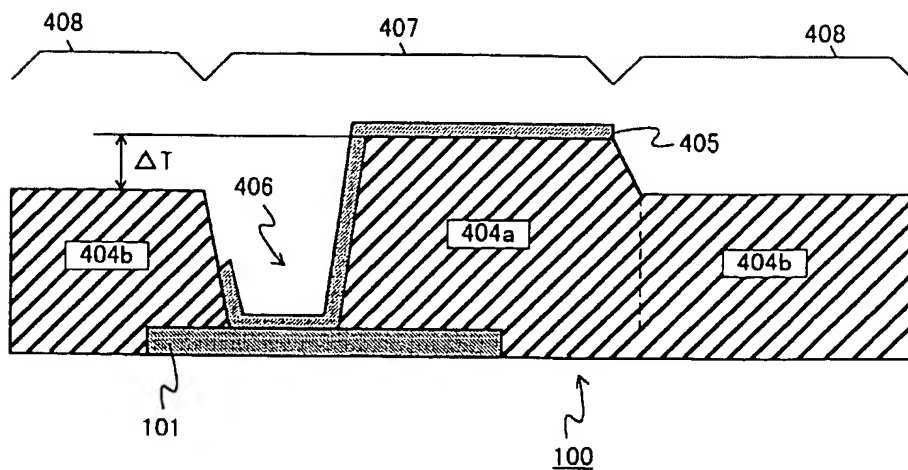
도면 5



도면 6

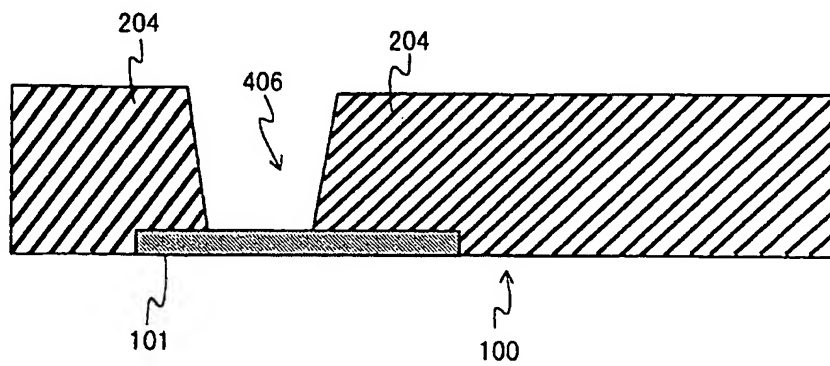


도면 7

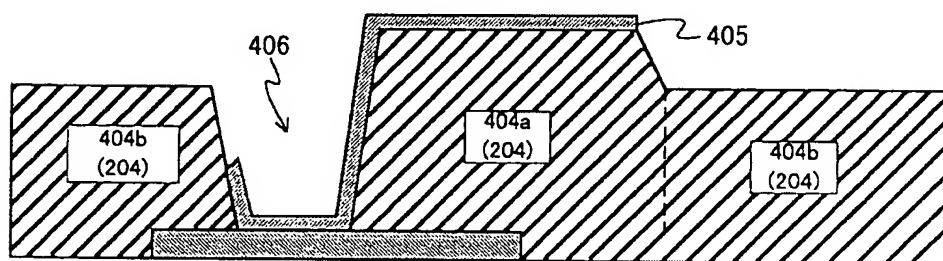


도면 8

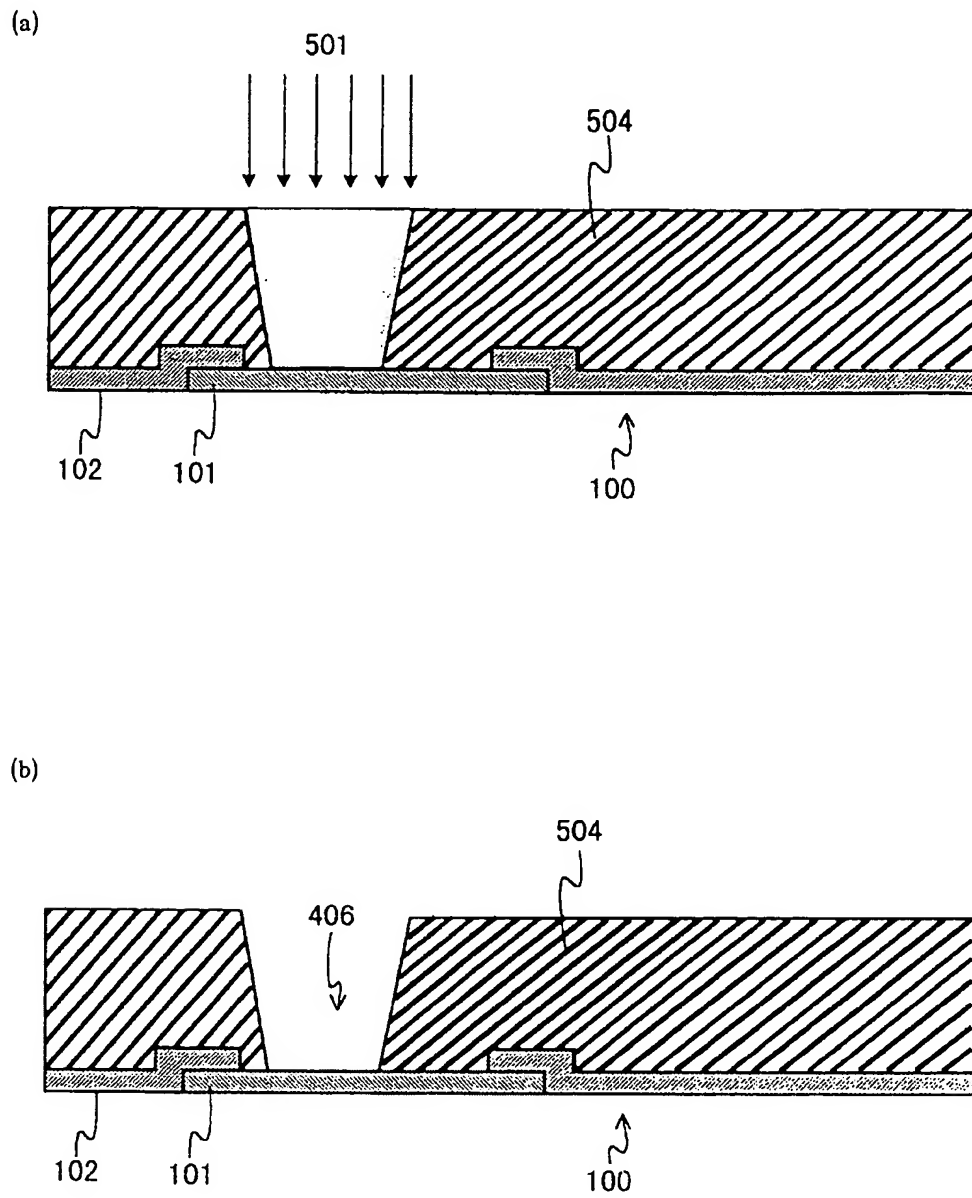
(a)



(b)

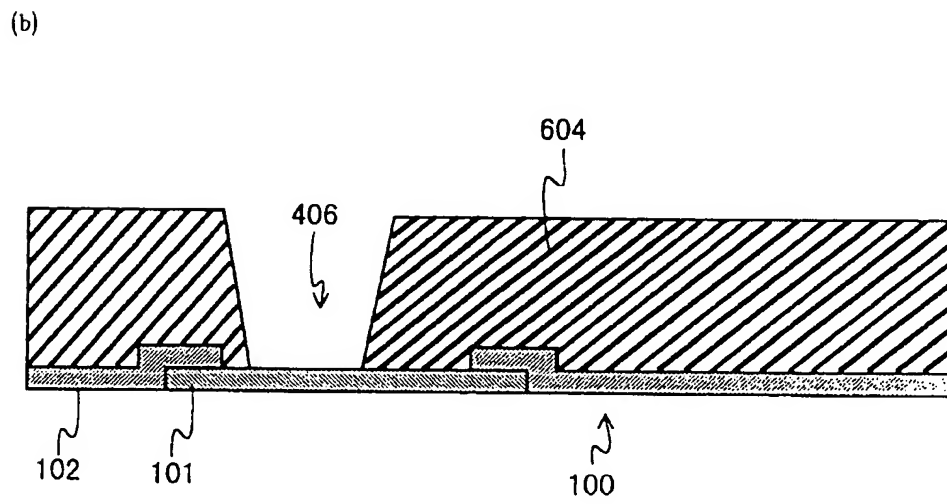
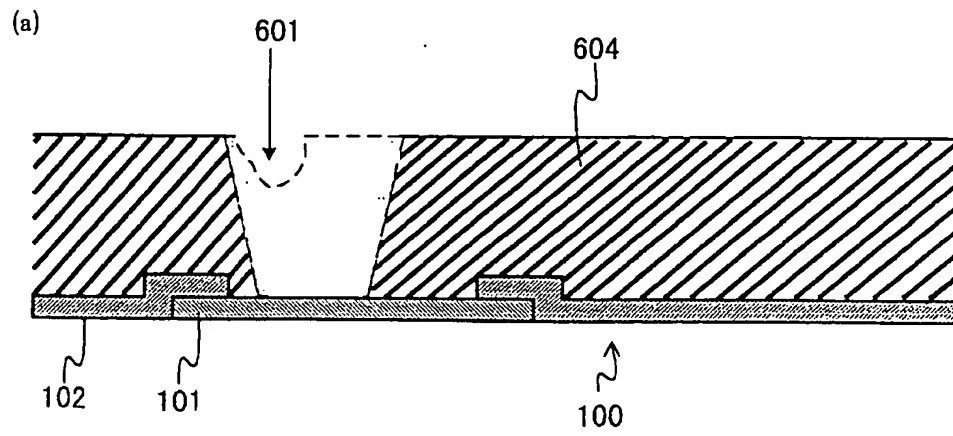


도면 9

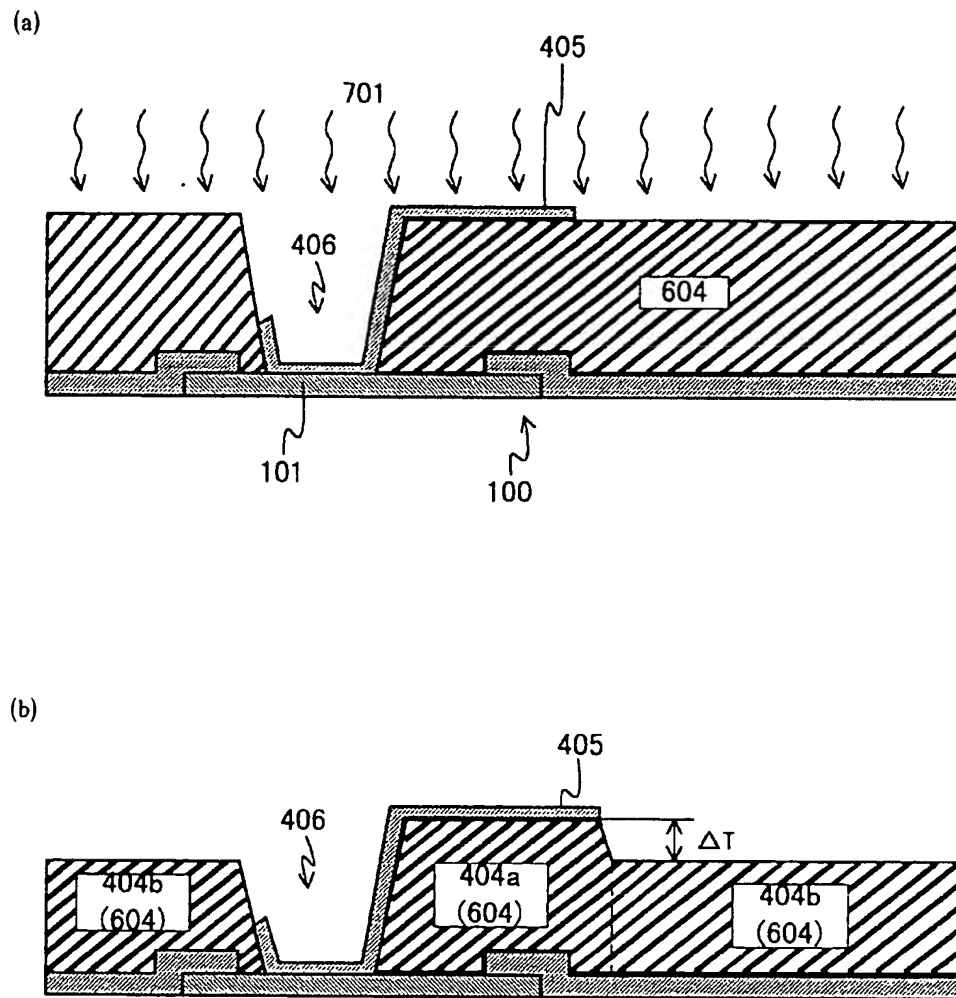




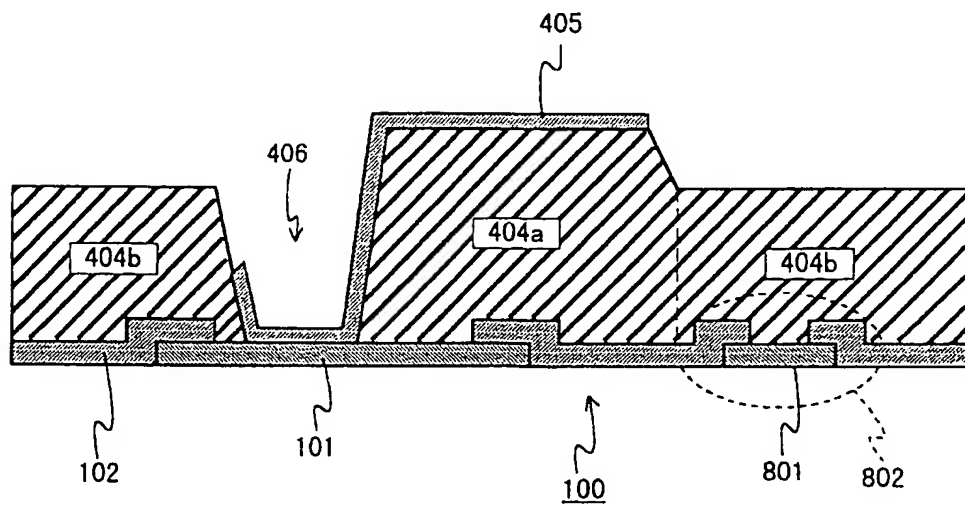
도면 10



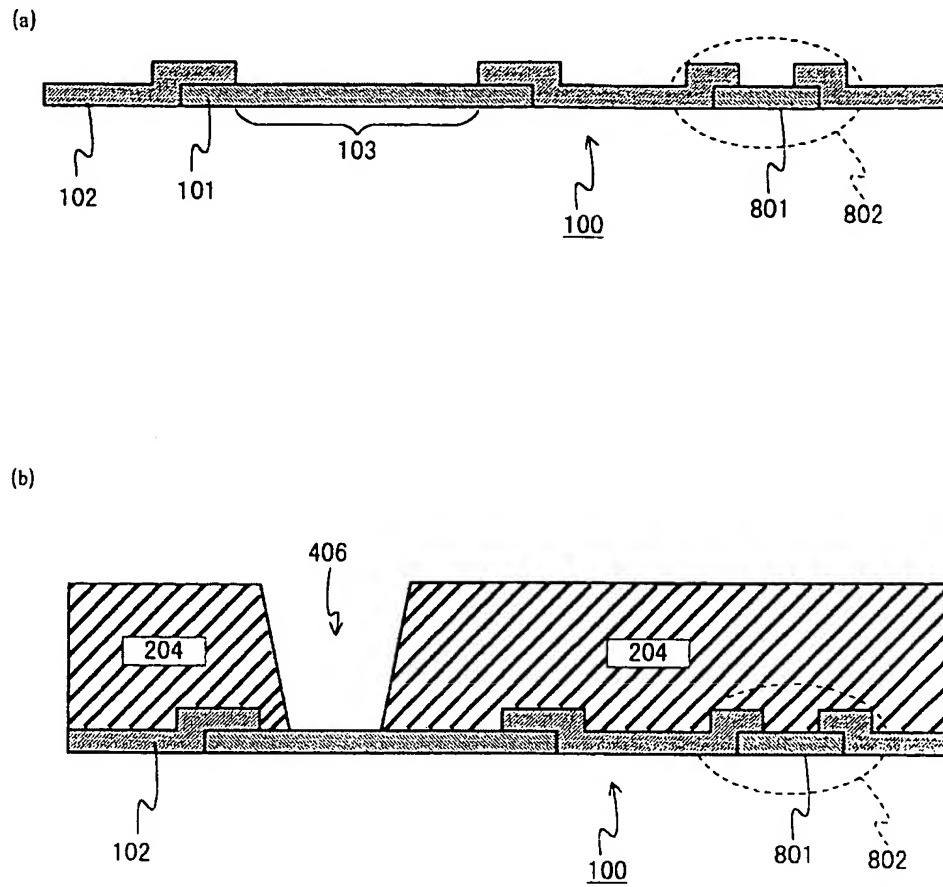
도면 11



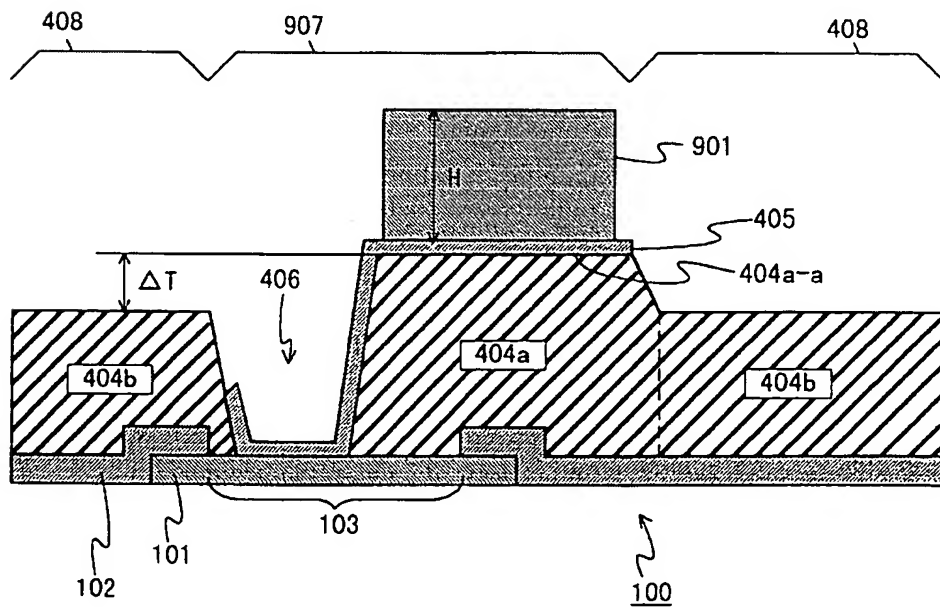
도면 12



도면 13

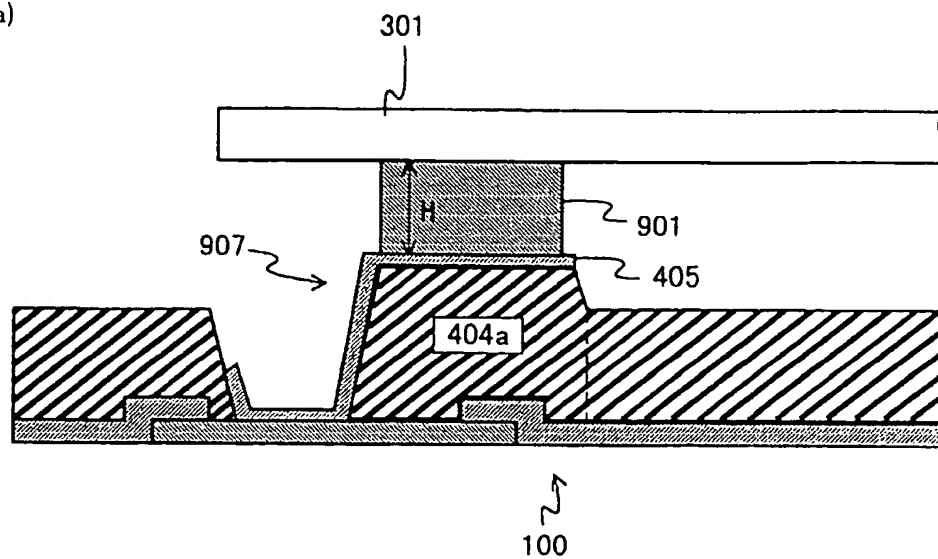


도면 14

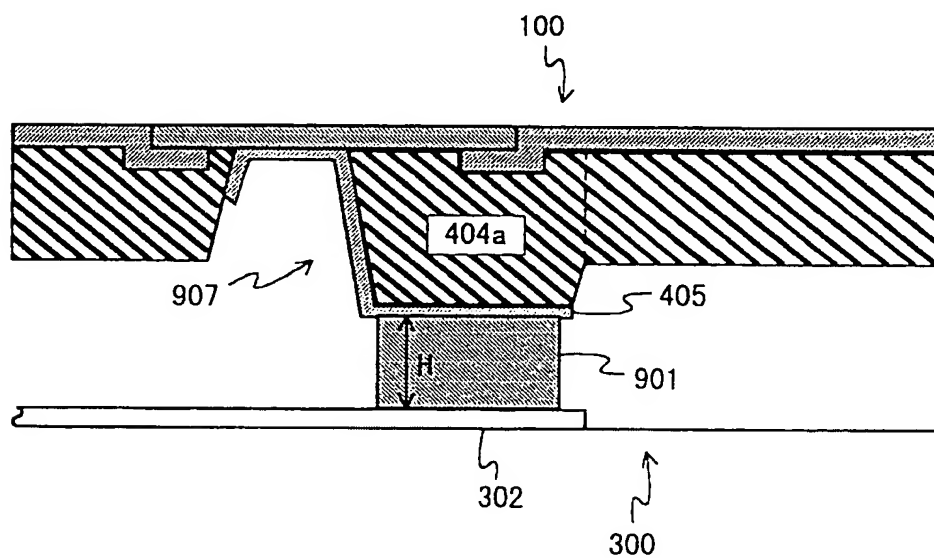


도면 15

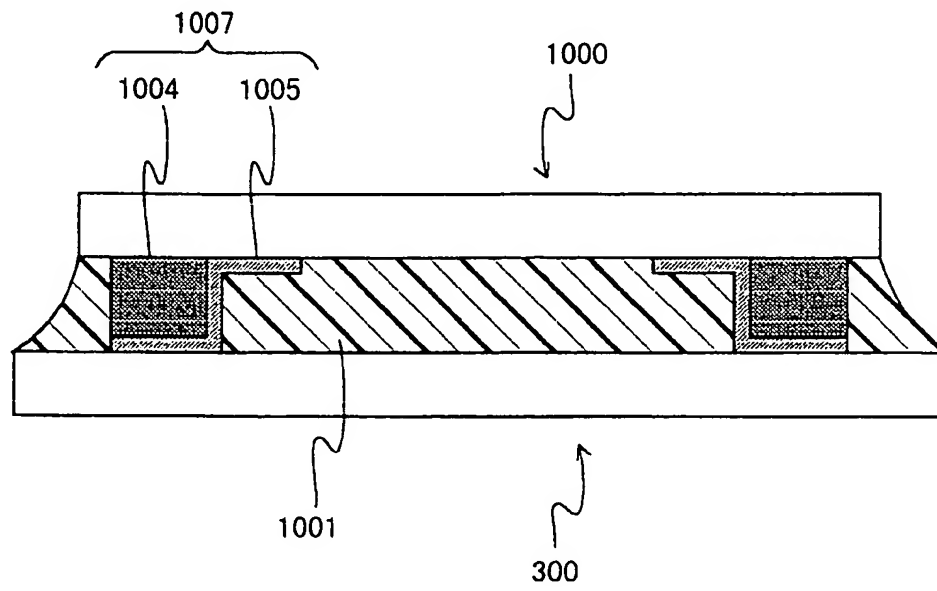
(a)



(b)



도면 16



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**